

Family list

1 family member for:

JP2003123047

Derived from 1 application.

1 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

Publication info: **JP2003123047 A** - 2003-04-25

Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

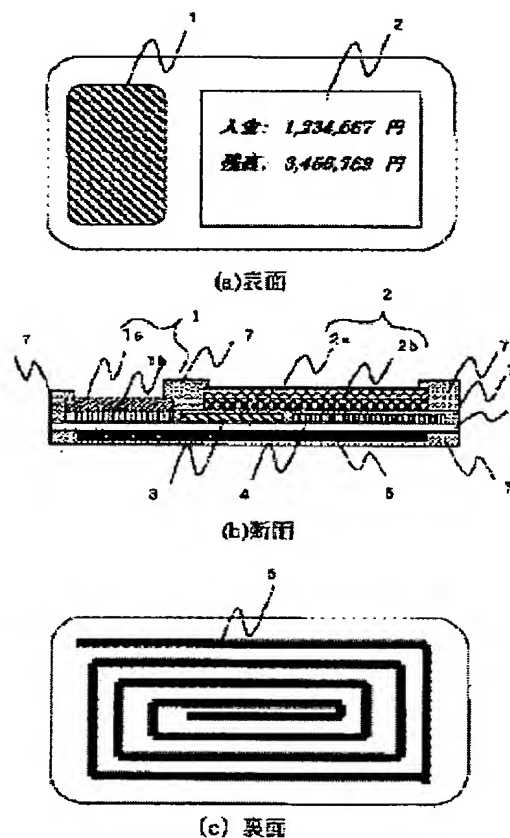
Patent number: JP2003123047
Publication date: 2003-04-25
Inventor: INOUE ATSUHISA; HAYASAKA ATSUSHI; MORI SHIGEYASU;
 KONISHI TAKAO
Applicant: SHARP KK
Classification:
 - international: **B42D15/10; G06K19/07; G06K19/077; H01L51/00; B42D15/10;
 G06K19/07; G06K19/077; H01L51/00; (IPC1-7): G06K19/077;
 B42D15/10; G06K19/07; H01L51/00**
 - european:
Application number: JP20010316198 20011015
Priority number(s): JP20010316198 20011015

Report a data error here

Abstract of JP2003123047

PROBLEM TO BE SOLVED: To suppress the entire thickness even while not only planarly arranging respective elements constituting a semiconductor device but also laminating them in a thickness direction and to load functions more than before in a limited space of the semiconductor device.

SOLUTION: In the semiconductor device provided with all or a part of the element for recording data, an arithmetic element for processing the data, a communication element for interchanging the data, the element for storing or generating energy, the element for detecting external information and converting it to storable or communicable data and the element for displaying the recorded data, a part or all of the respective elements are laminated in the thickness direction.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-123047

(P 2 0 0 3 - 1 2 3 0 4 7 A)

(43) 公開日 平成15年4月25日(2003.4.25)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G06K 19/077		B42D 15/10	521 2C005
B42D 15/10	521	G06K 19/00	K 5B035
G06K 19/07			H
H01L 51/00			J
		H01L 29/28	
		審査請求 未請求 請求項の数 9	O L (全10頁)

(21) 出願番号 特願2001-316198(P 2001-316198)

(22) 出願日 平成13年10月15日(2001.10.15)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 井上 敦央

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 早坂 淳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100102277

弁理士 佐々木 晴康 (外2名)

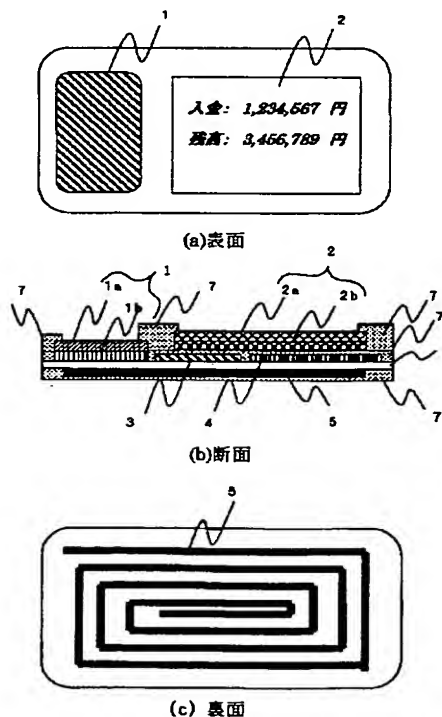
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 半導体装置は、年々、多機能化が進んでいるが、逆に薄型化、軽量化が進行しており、それを実現するため限られたスペースへの集積化や素子の薄型化が求められている。例えば、ICカードは年々多機能化が進んでいるが、各機能を実現するための素子を平面的に配置するにはICカードの面積には制限があり、集積化に限界がある。

【解決手段】 データを記録する素子と、データの処理を行う演算素子と、データを取り取る通信素子と、エネルギーを貯蔵または発生する素子と、外部の情報を検出し蓄積或いは通信可能なデータに変換する素子と、記録されたデータを表示する素子の全部又は一部を含む構成の半導体装置において、前記各素子の一部又は全部が厚さ方向に積層されて構成されることを特徴とする半導体装置を提供する。



【特許請求の範囲】

【請求項 1】 データを記録する素子と、データの処理を行う演算素子と、データをやり取りする通信素子と、エネルギーを貯蔵または発生する素子と、外部の情報を検出し蓄積或いは通信可能なデータに変換する素子と、記録されたデータを表示する素子の全部又は一部を含む構成の半導体装置において、前記各素子の一部又は全部が厚さ方向に積層されて構成されることを特徴とする半導体装置。

【請求項 2】 データを記録する素子と、データの処理を行う演算素子と、データをやり取りする通信素子と、エネルギーを貯蔵または発生する素子と、外部の情報を検出し蓄積或いは通信可能なデータに変換する素子と、記録されたデータを表示する素子の全部又は一部を含む構成の半導体装置において、折畳み可能な基板上に前記各素子及び配線を備え、前記基板を折畳むことによって作製されることを特徴とする半導体装置。

【請求項 3】 データを記録する素子と、データの処理を行う演算素子と、データをやり取りする通信素子と、エネルギーを貯蔵または発生する素子と、外部の情報を検出し蓄積或いは通信可能なデータに変換する素子と、記録されたデータを表示する素子の全部又は一部を含む構成の半導体装置において、前記基板上に前記素子と配線を備えた特定の機能を有するユニットを複数個形成し、前記ユニットを組み合わせで積み重ねて作製されることを特徴とする半導体装置。

【請求項 4】 データを記録する素子と、データの処理を行う演算素子と、データをやり取りする通信素子と、エネルギーを貯蔵または発生する素子と、外部の情報を検出し蓄積或いは通信可能なデータに変換する素子と、記録されたデータを表示する素子の全部又は一部を含む構成の半導体装置において、可撓性のある材料からなる前記素子と配線を可撓性のある基板上に形成した半導体装置を丸めて作製されることを特徴とする半導体装置。

【請求項 5】 データを記録する素子と、データの処理を行う演算素子と、データをやり取りする通信素子と、エネルギーを貯蔵または発生する素子と、外部の情報を検出し蓄積或いは通信可能なデータに変換する素子と、記録されたデータを表示する素子の全部又は一部を含む構成の半導体装置において、半導体装置の厚さに相当する幅で、半導体装置の一片とほぼ同じ長さの板状の形態の構成要素を有し、前記半導体装置を構成する素子が一つの構成要素に搭載されているか、或いは複数の構成要素に分割されて搭載されており、各構成要素を組み合わせていくことによって一つの半導体装置が形成されることを特徴とする半導体装置。

【請求項 6】 前記データを記録する素子、前記データの処理を行う演算素子、或は、データをやり取りする通

信素子が有機半導体、有機絶縁体、有機導電体からなる 3 端子素子から構成されることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】 前記データを表示する素子が有機半導体、有機絶縁体、有機導電体からなる 3 端子素子或いは 2 端子素子で構成されることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置。

【請求項 8】 前記半導体素子を構成する各素子のすべてが有機材料であることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 9】 前記有機トランジスタを形成する工程が塗布法、印刷法、フィルムの張り合わせであることを特徴とする請求項 6 乃至 8 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、クレジットカード、銀行のキャッシュカード、或いは電子マネーなどの用途に用いられるカードを始めとした、基本構成として固定情報や可変情報を記録／読出し可能な I C メモリ、プロセッサ、表示素子、外部とのインターフェース、センサの全部又は一部を含む構成である半導体装置に関するものである。

【0 0 0 2】

【従来の技術】従来の I C カードを始めとした半導体装置の基本構成は R O M などに代表される固定情報専用の記憶素子、R A M などに代表される必要に応じて情報を書き換え可能な記憶素子、R F コイルやコネクタのような外部とのインターフェース、記憶素子やインターフェースのコントロールや記憶されたデータの各種処理などを行うプロセッサ、リチウムイオンバッテリーなどの電源供給システムである。記憶素子やプロセッサは S i などの無機半導体で出来ており、これを樹脂基板に接着し、ワイヤボンディングなどで配線される。図 1 に I C カードを例に従来の半導体装置の構造の例を示す。基本構成は記憶素子 4 (固定情報専用の R O M、情報を書き換え可能な R A M)、R F コイル 5 やコネクタのような外部とのインターフェース、記憶素子 4 やインターフェースのコントロールや記憶されたデータの各種処理などを行うプロセッサ 3、R F コイル 5 やリチウムイオンバッテリーなどのエネルギー供給源である。これらの構成要素は基板 6 の両表面上に平面的に配置され、配線 1 1 でつながれている。記憶素子 4 やプロセッサ 3 は S i などの無機半導体で出来ておりワンチップ化され I C チップを形成し、I C チップ 2 0 を樹脂基板 6 に接着し、ワイヤボンディングなどで配線する。

【0 0 0 3】近年、前記の基本構成以外の素子を搭載し多機能化を図る開発も行われている。例えば I C カードの例では、ディスプレイ (例えば特公昭 6 2 - 8 8 3 8 号公報)、キーボード (例えば 6 1 - 4 3 7 4 9 号公

報)、電池(例えば特公平2-33198号公報)、センサ(例えば特開平1-175691号公報)などがある。ディスプレイ機能についてはICカードに記憶された情報をICカード上に表示させるために、可逆性感熱記録材料を利用した表示素子(例えば、特開平4-105996号公報)や液晶表示素子(例えば実公平3-9078号公報)などの表示素子を備えたICカードも考案されている。センサ機能については、多種のセンサを一枚のICカードに搭載し利便性を高めるもの(例えば特開平1-175691号公報)やカード所持者がそのカード本来の所有者であることを認証するためのセンサ(例えば特開昭64-38295号公報)がある。また機能を積層してICカードに搭載し、高密度メモリとして応用する技術が特開平8-31184号公報に開示されている。

【0004】また、可撓性のあるシート基板に素子を配置し、折畳んで実装する技術に関しては、例えばICカードのRFコイルの実効長さを出来るだけ長くとるために一方向にほぼ等間隔に区分されたフィルムに渦巻状導体パターンを形成しこれを折り重ねて実装する技術が特開平11-134459号公報に開示され、素子が実装されたフィルム基板を2つ折りにして折り合わされた端縁にリードを設けてICカードの一つの縁にのみ機械的、電気的に接続されるようにする技術が特開平6-64383号公報に開示されている。

【0005】

【発明が解決しようとする課題】半導体装置は、年々、多機能化が進んでいるが、逆に薄型化、軽量化が進行しており、それを実現するため限られたスペースへの集積化や素子の薄型化が求められている。例えば、ICカードは年々多機能化が進んでいるが、各機能を実現するための素子を平面的に配置するにはICカードの面積には制限があり(JIS X-6301規格値:54mm×85.6mm)、集積化に限界がある。また、積層して配置する方法もあるが、厚さも制限がある(JIS X-6301規格値:0.25mm、0.76mm)ため、それぞれの機能を持つ単独の素子を単に積み上げる方法では、それぞれの素子の厚さが厚いため限界がある。

【0006】また、半導体装置に使用されるSi素子の基板を薄くして、素子の薄型化を実現することも可能であるが、素子が壊れ易くなる。例えば、ICカードは、カードホルダや財布などに収納され、持ち運ばれるが、ポケットやカバンなどの中で外部からの力により曲げ、捻りなどを加えられることも多く、フレキシブルで壊れにくいことが強く求められる。また、素子を樹脂基板に接着し、ワイヤボンディングなどで配線する必要があるため、曲げ、捻りなどで素子自身や配線などが壊れるなど信頼性を著しく低下させる問題がある。

【0007】従来の半導体装置においては、Si半導体

を用いた記憶素子やプロセッサが使用されているため、素子自体の製造に複雑な工程を必要とし、また大規模で高価な装置が必要なため高価になるという問題がある。

【0008】更に、Si半導体を用いた記憶素子やプロセッサは微量の汚染物質により素子の性能が著しく劣化したりする問題がある。

【0009】一つの半導体装置に多種の機能を搭載できたとしても、ユーザーそれぞれで必要とする機能の組み合わせが異なる。これまでの技術では、それぞれの素子ごとに互いに異なる複雑な工程が必要であり、大規模で高価な装置が必要であるため、全体の製造コストは高価になるので、一種類の商品を大量に製造しないと利益が得られないため、それぞれのユーザーの希望する仕様にきめ細かく対応することが出来なかった。

【0010】情報をICカードのような極めて薄い半導体装置上に表示させる代表的な方法としては、可逆性感熱記録材料を利用した表示素子(例えば、特開平4-105996号公報)があるが、書込み/消去用のサーマルヘッドを備えた装置が必要であり、ICカード単体では情報の表示、消去、書き換えを自由に行うことは出来ない。また、液晶表示素子(例えば実公平3-9078号公報)を備えたICカードも考案されているが、液体を封止する必要があるため工程が複雑になり、封止用の窓材のために厚みが厚くなる。

【0011】従来の半導体装置の電源は、リチウムイオン、リチウムポリマーなどの2次電池、シリコン太陽電池などが用いられ、ICカードではRFを通した電源供給なども行われている。しかし、2次電池は充電操作や充電のための特別な機器が必要であり、定期的な電池交換などの作業も必要である。太陽電池は、発電の為の特別な操作が必要でなく、寿命も長い、シリコン太陽電池は形状のフレキシビリティに乏しい。RFを通した電源供給は、使用時に近くにマイクロ波を用いた電源供給源がないと使用できない。

【0012】また、機能を積層してICカードに搭載し、高密度メモリとして応用する技術が特開平8-31184に開示されているが、情報記録における入力役割を果たす光導電層と記憶部の役割を果たす高分子分散型液晶層を積層することなどによる情報記録に限定されたものであり、他の機能の積層に応用できるものではない。また、特開平11-134459に開示された可撓性のあるシート基板に素子を配置し、折畳んで実装する技術は、ICカードのRFコイルの実効長さを出来るだけ長くとるために単なる導電体の渦巻状パターンを折り重ねて実装する技術であり、多機能の集積化に寄与できるものではない。特開平6-64383に開示されている素子が実装されたフィルム基板を2つ折りにして折り合わされた端縁にリードを設けてICカードの一つの縁にのみ機械的、電気的に接続されるようにする技術は、単体の部品を半田などで実装した後、2つにだけ折り畳

んで実装する技術であり、単体の部品自体の厚さと基板に実装するために必要になる厚み（半田なやリードピンなど）があるため積層する数に限界がある。

【0013】

【課題を解決するための手段】半導体装置を構成する各部分が曲げや捻りに対するフレキシビリティの高い材料で構成することにより半導体装置全体としてフレキシブルで壊れにくくすることが出来る。この点で例えば有機材料は一般に無機半導体結晶や金属と比較してフレキシビリティが高く、曲げても折れたり、壊れたりしにくく、繰り返しの曲げに対する耐久性も大きい。近年、有機材料は、導電体として金属に近い導電率を持つものも開発され、半導体材料としてもアモルファスシリコンに迫る特性を有する物が開発されており、これらを利用することにより有機材料で半導体素子を作製することも可能となってきた。また、無機の半導体材料と比較して、微量の不純物による物性への影響が少ない。したがって、半導体装置の構成要素全部或いは出来るだけ多くの構成要素を有機材料で構成することにより汚染、曲げ、捻りなどにより半導体装置の信頼性を著しく低下させる問題の発生を低減することが出来る。

【0014】また、有機材料は、適当な溶媒に溶かしたり、ゲル化させたりして液体状態にし、これを用いて塗布法やスクリーン印刷やインクジェット法などの印刷法により、任意の形状を持った膜を形成することが出来る。印刷工程では、有機材料や溶媒を適正に選ぶことにより、一旦作製したある有機材料からなる薄膜の上に他の種類の有機材料からなる薄膜を積層することも可能であり、異種の材料が積層して構成されるデバイスや、異種のデバイスを重ねて作製することも容易に出来る。これにより、記憶素子、プロセッサ、表示素子、電源、外部とのインターフェース、各種センサなどの半導体装置を構成する各素子を平面的に配置するだけでなく、厚さ方向に積層しながらも全体の厚さを薄く抑えることが可能になり、半導体装置の限られたスペースの中に従来よりも多くの機能を搭載出来るようになる。

【0015】具体的な積層の方法としては以下のようなものがある。

【0016】第1に一枚のシート状基板の上に各素子を平面的に配置して形成し、配線を行ったあとこれを折畳んでいき、最終的な形状にした後、末端の開口部を必要に応じて封止することで、厚み方向に構成される素子が積層された構造を形成することが出来る。この場合は最初のシート基板上での各素子の配置を最終的に折畳んだ形状での各素子の配置関係を考慮して適性に配置することが必要である。また、折畳んだ際に直接接する素子がある場合にはあらかじめ保護膜などで被覆をして、直接接触することを避けることも出来る。

【0017】第2の積層の方法としては、シート状の基板の上に素子を配置したユニットを作製しておき、それ

らの中から必要な機能を有するユニット（シート）を組み合わせて積層し、結線をする方法である。末端部（開口部）を封止して、一枚の装置として利用することが出来るが、封止せず随時開閉可能にしておくことにより、必要に応じて開いたり閉じたりして使用することも出来る。

【0018】第3の積層の方法としては、一枚のシート状基板の上に各素子を平面的に配置して形成し、配線を行ったあとこれを丸めて最終形状にする方法である。

【0019】第4の積層の方法としては半導体装置の厚さに相当する幅で、半導体装置の一片と同じ長さ（厚さは適当）の板状の形態の構成要素があり、当該の半導体装置を構成する素子が一つの構成要素に搭載されているか、或いは複数の構成要素に分割されて搭載されている場合、各構成要素を最終的な半導体装置の厚さ方向に対し垂直な方向に組み合わせていくことによって一つの半導体装置を形成する方法である。

【0020】また、前記第1～4の方法の2つ以上を組み合わせて積層構造を形成することも出来る。

【0021】各層間の配線の方法も以下のような方法がある。

【0022】第一に各層の基板を貫通して開けられたスルーホールを通して配線を行う方法、第2に各層ごとにその端子が配線したい上下の層で位置的に合うように端子を形成しておき、積層の際に密着させる方法、第3に各層に発光素子と受光素子を設けておき光により信号のやり取りを行う方法である。

【0023】表面を大きく利用したい機能を数多く搭載するための方法としては、例えば1枚の折畳み可能な基板に、複数の機能部を作製し、これをn回折り畳んで収納、持ち運びをし、使用時には使いたい機能部を、最上部になるように折り畳んで使用することが出来る。また、2つ以上の同時に使いたい機能部を縦方向または、横方向に並べるように折りたたむことで、使い勝手の良い使い方を可能とすることも出来る。折り畳み方次第で、幾通りもの組み合わせを実現することが出来る。

【0024】また、ほぼすべての素子を有機材料で構成することにより、多種多様な素子を一貫した印刷工程で作製できるため製造工程が極めて簡単で低コストになる。一貫した工程で簡単な設備で安価に半導体装置を作製できるのでユーザーの希望に応じて仕様の異なる多種類、少量生産にも対応できる。また、シート状の基板の上に素子を配置した機能別ユニットをあらかじめ作製しておき、それらの中からユーザーが希望する機能を有するユニットを組み合わせて積層し、結線をする方法でユーザーの要望にきめ細かく対応することも可能である。これらはシート状のフィルムを張り合わせることで形成できる。

【0025】また、ユーザーの希望に応じて機能をカスタマイズする方法としては、提供できる機能を可能な限

り数多く搭載した半導体装置をあらかじめ作製しておき、ユーザーの希望する機能のみを使用可能状態にする、或いは不要な機能を使用できないようにする方法もある。

【0026】表示素子に関しても近年、有機エレクトロルミネッセンスや電気泳動などと有機半導体や有機導電体を用いた駆動回路を組み合わせ、印刷プロセスを用いて極めて薄いディスプレイが実現されている。これを IC カードなどの半導体装置に搭載することにより従来実現不可能であった形状のフレキシビリティが高く、曲げやひねりなどの外力に対する耐久性や信頼性が高く、単体で情報表示が可能な半導体装置が実現できる。表示素子の駆動回路としては、薄膜トランジスタ (TFT) のような 3 端子素子や MIM 素子のような 2 端子素子によるアクティブマトリックス駆動、縦横に格子状に並べられた電極間に表示層を挟んだ構造の単純マトリックス駆動が用いられる。これらの駆動回路は導電体、半導体、絶縁体材料の組み合わせで作製され、全部又は一部に有機材料に有機材料を用いることにより可撓性を付与することが出来る。

【0027】有機材料を用いた太陽電池を使用することにより、発電や充電の為の特別な操作が必要でなく、寿命も長く、かつ形状のフレキシビリティが高い電源を得ることが出来る。

【0028】高分子電解質を用いた 2 次電池あるいは、有機半導体を用いた電解コンデンサを使用することで、太陽電池で発生したエネルギーや、RF を用いて外部から供給されるエネルギーを貯蔵することができる。

【0029】印刷等の簡易なプロセスにより、複数の機能部 (センサ等) を集積化或いは積層化し、複数の種類の情報を同時或いは順次検出することが可能となる。それらの複数種類の情報を例えば個人認証に用いることにより、パスワードや指紋など一つ一つの情報のみからの認証では、セキュリティが破られる可能性もあるが、それらの複数種類の情報のクロスチェックにより高い情報認識精度を得ることが可能となる。

【0030】

【発明の実施の形態】以下、本発明を実施例を用いて詳細に説明するが、本発明はこれらの実施例に限定されるものではない。

【0031】(実施の形態 1) 図 2 は本発明の実施形態の 1 例として IC カードを例に用いて示すものであり、それぞれの構成要素を基板表面上に順次形成していく場合である。具体的には、本実施例では、一枚のシート状の基板 6 の上にデータの処理を行う演算素子としてプロセッサ 3、データを記録する素子として記憶素子 4、データをやり取りする通通信素子として RF コイル 5、外部の情報を検出し蓄積する素子として第 1 のセンサ 1 a、外部の情報を通信可能なデータに変換する素子として第 2 のセンサ 1 b、記録されたデータを表示する素子

として駆動回路 2 b と表示層 2 a からなる表示素子 2 を素子の厚さ方向に積層させて形成している。これらは保護膜 7 で保護されている。本例では 2 種のセンサ 1 a と 1 b は互いに積層されており、また記憶素子 4 と表示素子 2 も互いに積層されている。ただし、積層される素子の種類と数は本実施例に限定されるものではない。用いる機能により必要な素子を有していれば全ての機能の素子を設ける必要はない。また、全ての素子に対して積層する必要はなく、一部の素子に対して積層するのであっても構わない。

【0032】また、本実施例では図示していないが、上記 IC カードに有機太陽電池からなるエネルギーを発生する素子或はポリマー電池や有機半導体の電解コンデンサのようなエネルギーを貯蔵する素子などを基板上に設けてもよい。

【0033】また、本積層構造による実施形態は IC カードに限定されるものではなく、他の半導体装置、例えば、テレビ、携帯電話、携帯情報端末などにも応用される。

【0034】表示素子 2、駆動回路 2 b、記憶素子 4 およびプロセッサ 3 などを形成する 3 端子素子の有機トランジスタの作製方法の具体的な一例を図 3 (a) に示す。まず、ポリイミドからなる基板 6 の表面に親水性処理を行う。親水処理の方法としては例えば、水蒸気雰囲気下で真空紫外光照射 (波長 172、222 nm) による方法がある。この親水化処理基板上に導電性高分子の溶液を用いたインクジェットプリント法により配線パターンにしたがって塗布し乾燥させることでソース電極 2 3 及びドレイン電極 2 4 の電極パターンを形成した。導電性高分子としては poly-ethylenedioxythiophene (PEDOT) と poly-stylenesulfonate (PSS) の混合物の 1.5 wt % 水溶液 (Baytron P) を用い、厚さは約 500 nm であった。この上に Fluorene-Bithiophene 共重合体のキシレン溶液を用いてスピンコート法により約 50 nm の厚さの p 型有機半導体層 2 5 を形成した。この上に Poly-vinylphenol (PVP) のイソプロパノール溶液を用いてスピンコート法により約 500 nm の絶縁層 2 2 を形成した。

【0035】この絶縁層の上にチャンネル部の上に合わせて導電性高分子からなるゲート電極 2 1 を形成した。導電性高分子としては、ソース電極 2 3 及びドレイン電極 2 4 と同様に poly-ethylenedioxythiophene (PEDOT) と poly-stylenesulfonate (PSS) の混合物の 1.5 wt % 水溶液 (Baytron P) を用い、厚さは約 500 nm であった。

【0036】表示素子駆動回路用のトランジスタ等において、ドレイン電極から、駆動回路の上に積層されて形成される表示層の画素に配線する必要がある場合には、ドレイン電極から絶縁層および半導体層を貫通するスルーホールを形成する方法や、絶縁層および半導体層共に

インクジェット法で作製する方法を用いて、ドレイン電極を表示素子の各画素と接続することが出来る。

【0037】また、別の方法としては、図3(b)に示すように前述のトランジスタ作製方法とは逆の順番でゲート電極21、絶縁層22、ソース電極23・ドレイン電極24、半導体層25の順に形成する方法がある。

【0038】表示素子の駆動回路としては、前記トランジスタのような3端子素子の他、MIM素子のように導電体からなる2端子の間に絶縁体層を挟んだ構造でスイッチング機能のある2端子素子によるアクティブマトリックス駆動、縦横に格子状に並べられた電極間に表示層を挟んだ構造の単純マトリックス駆動を用いることも可能である。

【0039】表示素子としては高分子分散型液晶を用いた。ただし、表示素子としては液晶に限定されるものではなく、例えば電気泳動素子や有機エレクトロルミネセンス(有機EL)素子などが用いられる。ポリマー分散型液晶層で使用される液晶は、その種類は特に限定されない。例えば、ネマチック液晶、スメクティック液晶、コレステリック液晶などを好適に使用できる。本発明におけるポリマー分散型液晶層で使用されるポリマーとしては、ポリビニルブチラール、ポリエステル、ポリウレタン、アクリル、アクリルシリコン、塩化ビニル、酢酸ビニル共重合体、シリコーン樹脂、ポリビニルアルコール、ポリビニルピロリドン、シアノエチル化プルランなどの各種のシアノエチル化合物、エポキシ樹脂などの各種ポリマー樹脂類及びこれらの混合物類などを使用できる。本発明のポリマー分散型液晶層の形成方法は特に限定されない。当業者に公知であり、また、当業者に慣用及び/又は常用されている液晶形成方法は全て本発明で使用できる。例えば、カプセル化法、重合相分離法、熱相分離法、溶媒蒸発相分離法などの方法を適宜に使用することができる。

【0040】ROMやRAMなどの記憶素子の場合には、例えば上記トランジスタのドレイン側に強誘電材料からなるキャパシタを付加することで達成可能である。有機の強誘電材料としては例えばフッ化ビニリデン-3フッ化エチレン共重合体を用いてスピンコート法やインクジェット法で薄膜を形成できる。

【0041】光イメージセンサも有機トランジスタ構造のアレイを利用することで達成出来る。各画素に当るトランジスタのゲート電極を光(赤外線も含む)によりキャリアを生じる材料で構成すると、ゲート部に光の強度依存してキャリアが発生するので生じたキャリアに依存して変化するソース・ドレイン電流を各画素毎に検出して画像化する。材料としては、例えばポルフィリン類、フタロシアニン類やその誘導体、ポリフェニレンビニレン誘導体とフラーレン誘導体の混合物、ペリレン誘導体などが利用できる。

【0042】RFコイル5については、例えば金属微粒

子を主成分とする導電性ペーストを用いたスクリーン印刷で作製することが出来る。本実施例では、銀ペースト(平均粒径10 μ mの銀粉をフェノキシ樹脂とブチルカルビトールよりなる)を用い、スクリーン印刷によりコイル状に印刷した後、150℃で約20分乾燥した。巻き数は20回で線幅は約300 μ mで総延長は約250cmであった。

【0043】直接接する素子がある場合にはあらかじめ保護膜などで被覆をして、直接接触することを避けることも出来る。

【0044】(実施の形態2)図4は本発明の実施形態の一例をICカードを例として示すものである。一枚のシート状の基板6の上にプロセッサ3、記憶素子4、RFコイル5、第1のセンサ1a、第2のセンサ1b、表示素子2の各素子を平面的に配置して形成し、配線11を行なったあとこれを折畳んでいき、最終的なICカードの形状にした後、末端の開口部を必要に応じて封止することで、ICカードの厚み方向にICカードを構成する素子が積層された構造を形成することが出来る。本実施例では4つ折りの場合で、図4において4分割した左上にはプロセッサ3、記憶素子4を、左下には第2のセンサ1bを、右上にはRFコイル5を、右下には第1のセンサ1a、表示素子2を配置し、折畳んだ際に、最表面側にRFコイル5、第1のセンサ1a、表示素子2が来るように配置した。図4では封止部9が矩形をしているが、特に形状に限定は無い。各素子は例えば実施例1で記載した方法で作製することが出来る。各素子は、折畳み線避けて配置されるほうが望ましく、また配線11は可撓性のある材料で構成される。

【0045】最表面或いは直接接する素子がある場合にはあらかじめ保護膜などで被覆をすることも出来る。

【0046】また、本方法は実施例1のような有機材料からなる素子を主体とするものだけでなく、シリコンなどの無機半導体デバイスにおいて、機能部以外の基板を出来るだけ除去して薄くしたプロセッサやメモリを基板上に配置したものにも利用できる。

【0047】本方法はICカードに限定されるものではなく、他の半導体装置、例えば、テレビ、携帯電話、携帯情報端末などにも応用される。

【0048】(実施の形態3)図5は、基板の上に素子と配線を配置した機能別ユニットを作製しておき、それらの中から必要な機能を有するユニット(シート)を組み合わせて積層し、結線し、各層を一体化するために封止することにより積層構造を実現する場合の一例を示す実施例である。図5ではプロセッサ3と記憶素子4を第一のユニットC、第2のセンサ1bを第2のユニットB、RFコイル5を第3のユニットD、第1のセンサ1aと表示素子2を第4のユニットAとして別々の基板8上を配置し、積層した際に、最表面側にRFコイル5からなる第3のユニット、第1のセンサ1aと表示素子2

からなる第4のユニットが来るように重ねて封止9を行った例である。図5では封止部が矩形をしているが、特に形状に限定は無い。各素子は例えば実施例1で記載した方法で作製することが出来る。上下のシート間の配線方法としては、フレキシブルプリント配線(FPC)を用いる方法や、各シートを貫通するスルーホールを通した配線を導電性粘着シートを用いて接続する方法、各シートを貫通するスルーホールを通した配線の端子同士を圧着する方法などが用いられる。また、各基板に変調された電気信号を変調された光に変換する発光素子(例えば有機ELなど)及び変調された光を受け元の変調された電気信号に戻す受光素子(例えば光電変換素子)を配置し、基板間の信号を光を介してやり取りする方法を取ることが出来た。

【0049】また、本方法は実施例1のような有機材料からなる素子を主体とするものだけでなく、シリコンなどの無機半導体デバイスにおいて、機能部以外の基板を出来るだけ除去して薄くしたプロセッサやメモリをシート基板上に配置したものにも利用できる。

【0050】また本実施例では4つのユニットで構成されるICカードを例に説明したが、ICカードに限定されるものではなく、他の半導体装置、例えば、テレビ、携帯電話、携帯情報端末などにも応用される。またユニットの数も4つに限定されるものではない。

【0051】(実施の形態4) 各素子を可撓性のある材料で構成することにより、素子自体に可撓性を付与することができ、これらの素子を可撓性のあるシート基板上に配置して形成することにより、各素子を配置したシート全体として可撓性を持たせることができる。可撓性のある素子は例えば実施例1に記載の方法で作製することが出来る。これを丸めて開口部を封止することで棒状の半導体装置を作製することが出来る。図6にその一例を示す。

【0052】まず、一枚のシート状の基板の上にプロセッサ3、記憶素子4、第1のセンサ1a、第2のセンサ1b、表示素子2の各素子を平面的に配置して形成する。次に各素子が配置され、配線が施された基板を丸めてゆき、端部を封止9する。各素子の内、表示素子2やセンサ部のように丸めた際、最表面に露出する必要がある素子はあらかじめシート基板上に素子を配置する際に位置を考えて配置しておく。

【0053】最表面或いは直接接する素子がある場合にはあらかじめ保護膜などで被覆をすることも出来る。

【0054】本実施例の図6では、ディスプレイとセンサ部のみが最終的な形状の半導体装置で表面に露出し、他のプロセッサ3、記憶素子4、第2のセンサ1bは内部に巻き込まれるようにして丸めた物である。図6で封止部は丸い形状をしているが形状に特に限定はない。棒状(筒状)半導体装置の内径及び外形は、素子を形成した後の基板のフレキシビリティに応じて、素子や配線が

壊れない範囲で設定することが出来る。また、完全に封止せず、棒状(筒状)にした状態で仮止め出来るようにし、必要に応じて開いた状態で使用したり、丸めた状態で使用したりすることが出来る。これにより、例えば持ち運び時は丸めておき(例えばペンのように治具を設け胸ポケットに刺しておくことも可能)、使用時には開くような使い方も可能である。

【0055】(実施の形態5) 半導体装置の厚さに相当する幅で、半導体装置の一片と同じ長さ(厚さは適当)の板状の形態の構成要素があり、当該の半導体装置を構成する素子が一つの構成要素に搭載されているか、或いは複数の構成要素に分割されて搭載されている場合、図7に示すように各構成要素を組み合わせることで一つ一つの半導体装置を形成することが出来る。図7はICカードの例である。半導体装置がS1からS110の110個の構成からなる場合、S1からS10は基板材料のみからなり外形を構成し、S11~S30はそれぞれ10KBのROMメモリユニットからなり、合計200KBの容量のROMを構成と配線を構成し、S31~S50はそれぞれ10KBのRAMメモリユニットからなりトータル200KBのRAM及び配線を構成し、S51~S100はそれぞれプロセッサのユニットで全体として一つのプロセッサ及び配線を構成し、S101~S110は基板材料のみからなり外形を構成する。以上110個の構成要素を組み合わせにより一つの半導体装置が構成される。RFコイル5は組み合わせが完了した後、印刷法などで形成することが出来る。

【0056】ただし、各素子及び全体の構成要素の数や形は本実施例に限定されるものではない。

【0057】

【発明の効果】 半導体装置を構成する各素子を平面的に配置するだけでなく、厚さ方向に積層しながらも全体の厚さを薄く抑えることが可能になり、半導体装置の限られたスペースに従来よりも多くの機能を搭載出来るようになる。

【0058】 各素子を構成する材料としては、例えば、有機材料は無機の半導体材料と比較して、微量の不純物による物性への影響は少なく、可撓性も高い。したがって、データを記録する素子とデータの処理を行う演算素子とデータをやり取りする通信素子とエネルギーを貯蔵または発生する素子と外部の情報を検出し蓄積或いは通信可能なデータに変換する素子(センサ)と記録されたデータを表示する素子等の半導体素子の構成要素の全部或いは出来るだけ多くの構成要素を有機材料で構成することにより汚染、曲げ、捻りなどにより半導体装置の信頼性を著しく低下させる問題の発生を低減することが出来る。

【0059】 多種多様な素子を一貫した印刷工程で作製できるため製造工程が極めて簡単で低コストになることに加え、ユーザーの希望に応じて仕様の異なる多種類、

少量生産にも対応できるようになる。

【図面の簡単な説明】

【図 1】従来の IC カードの構造の図を示す。

【図 2】本発明による IC カードの構成の例の図を示す。

【図 3】本発明に関わる有機材料によるトランジスタ構造形成プロセスの説明図を示す。

【図 4】本発明による折畳み型の IC カードの構成の例の図を示す。

【図 5】シート状の基板の上に素子を配置した機能別ユニットを積層した半導体装置の図を示す。

【図 6】可撓性のある素子が配置された可撓性のあるシート基板を丸めて開口部を封止することで棒状の半導体装置の概念図を示す。

【図 7】板状の形態の構成要素を各構成要素を組み合わせる半導体装置の概念図を示す。

【符号の説明】

1 … センサ、

1 a … 第 1 のセンサ

1 b … 第 2 のセンサ

2 … 表示素子

2 a … 表示層

2 b … 駆動回路

3 … プロセッサ

4 … 記憶素子

5 … RF コイル

6 … 基板

7 … 保護膜

8 … 基板

9 … 封止剤

11 … 配線

20 … IC チップ

21 … ゲート電極

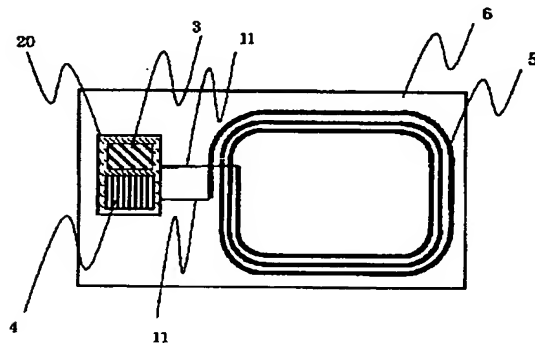
22 … ゲート絶縁膜

23 … ソース電極

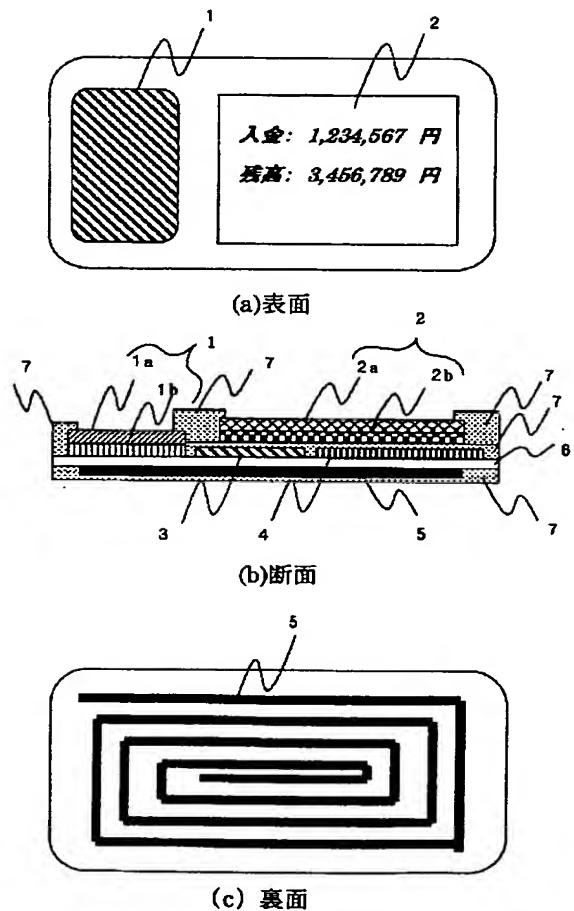
24 … ドレイン電極

25 … 半導体層

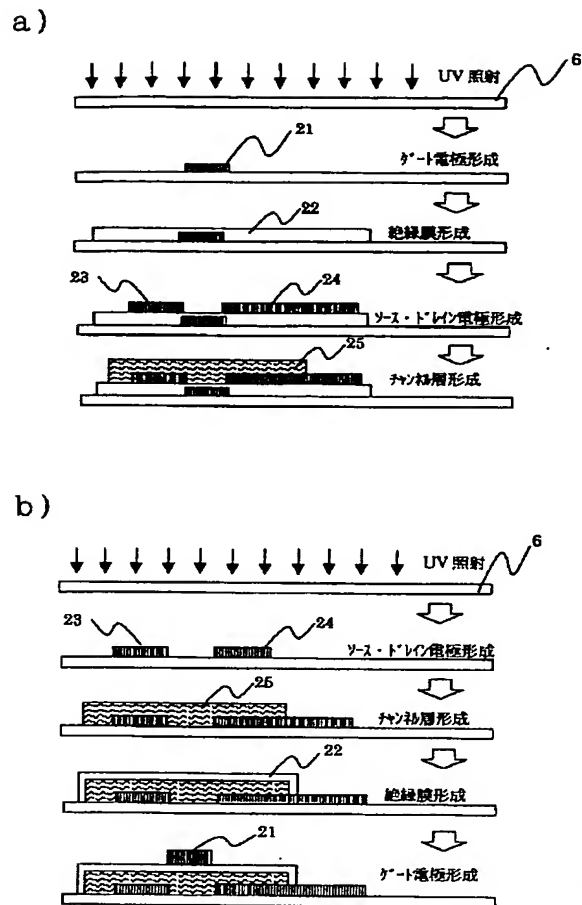
【図 1】



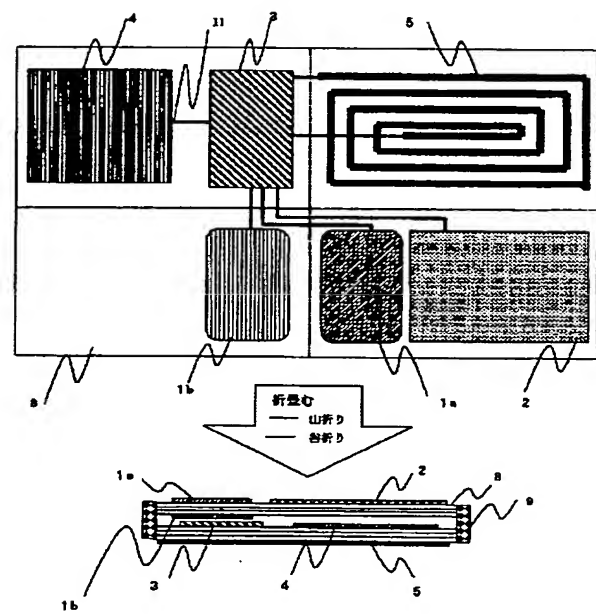
【図 2】



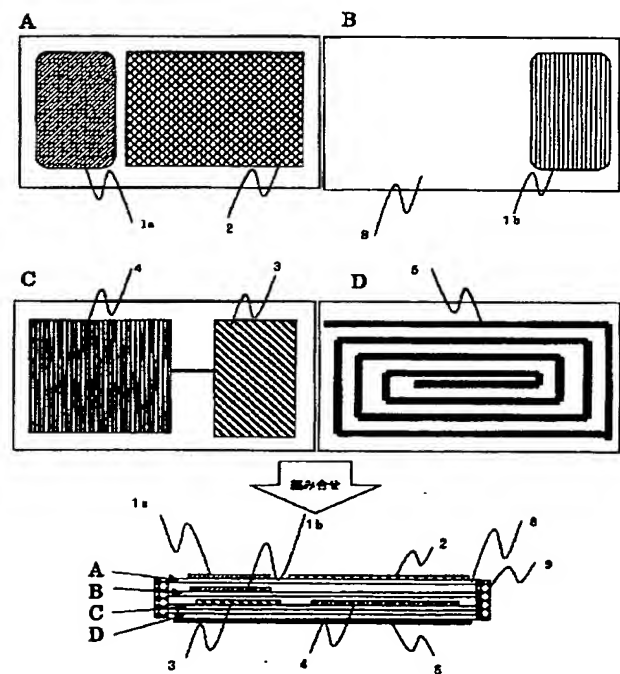
【図 3】



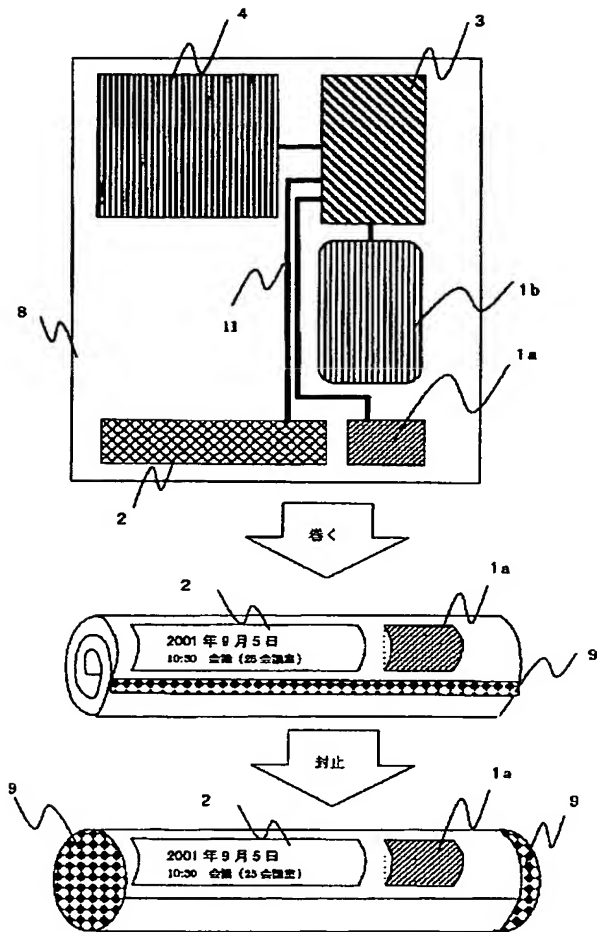
【図 4】



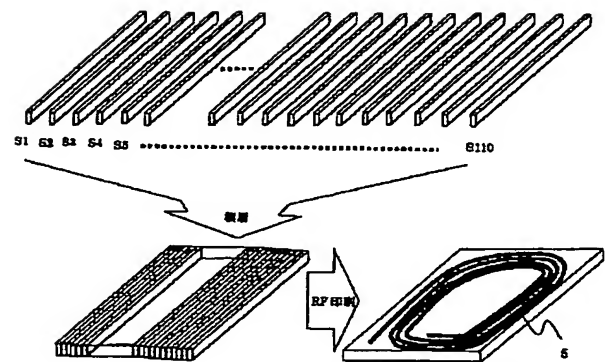
【図 5】



【図6】



【図7】



フロントページの続き

(72)発明者 森 重恭
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 小西 貴雄
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

Fターム(参考) 2C005 MA33 MA40 MB03 NA06 PA03
QC03 SA21
5B035 BA03 BB09 BB12 CA01 CA06
CA23

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.